

DEMANDE DE BREVET EUROPEEN

(12)

(21) Numéro de dépôt: 82201515.2

(51) Int. Cl.<sup>3</sup>: G 06 F 15/06, G 11 C 17/00

(22) Date de dépôt: 30.11.82

(30) Priorité: 02.12.81 FR 8122570

(43) Date de publication de la demande: 22.06.83  
Bulletin 83/25

(84) Etats contractants désignés: DE FR GB IT SE

(71) Demandeur: S.A. PHILIPS INDUSTRIELLE ET COMMERCIALE, 50 Avenue Montaigne, F-75008 Paris (FR)

(84) Etats contractants désignés: FR

(71) Demandeur: N.V. Philips' Gloeilampenfabrieken, Groenewoudseweg 1, NL-5621 BA Eindhoven (NL)

(84) Etats contractants désignés: DE GB IT SE

(72) Inventeur: Robert, Serge, Société Civile S.P.I.D. 209, rue de l'Université, F-75007 Paris (FR)  
Inventeur: Fevrier, Pierre, Société Civile S.P.I.D. 209, rue de l'Université, F-75007 Paris (FR)

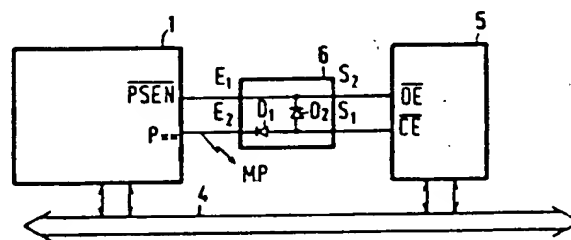
(74) Mandataire: Souquet, Georges et al, Société Civile S.P.I.D. 209, rue de l'Université, F-75007 Paris (FR)

(54) Système de traitement de données permettant d'utiliser la même mémoire effaçable et programmable, pour les instructions et les données tant en lecture qu'en écriture.

(57) -Système de traitement de données permettant d'utiliser la même mémoire effaçable et programmable, pour les instructions et les données tant en lecture qu'en écriture.-

Le système de traitement de données selon l'invention comporte un microprocesseur et une mémoire externe effaçable et programmable. Un système de portes logiques est placé entre des broches de commande du microprocesseur et une broche commandée de la mémoire externe.

Ces broches de commande du microprocesseur sont la broche de commande de programme et une broche de commande de port. La broche commandée de la mémoire est la broche de sélection de mémoire. Ce système de portes logiques permet de n'utiliser qu'une seule mémoire, tant en lecture qu'en écriture des instructions et/ou des données au lieu des deux mémoires généralement utilisées.



BEST AVAILABLE COPY

"Système de traitement de données permettant d'utiliser la même mémoire effaçable et programmable, pour les instructions et les données tant en lecture qu'en écriture".

La présente invention concerne un système de traitement de données, comportant une mémoire externe et un microprocesseur à mémoire interne, le microprocesseur et la mémoire externe étant connectés à un bus, ledit microprocesseur comportant une broche de commande de programme et au moins une broche de commande de port, ladite mémoire externe comportant une broche de sélection de mémoire.

De tels systèmes de traitement de données sont généralement utilisés dans un (mini-) ordinateur. La mémoire externe comporte habituellement une mémoire morte (ROM) et une mémoire vive (RAM).

La mémoire morte est utilisée pour emmagasiner les instructions et les données nécessaires pour l'exécution d'un programme par le microprocesseur. La mémoire vive est entre autre utilisée pour traiter en lecture et en écriture des données pendant l'exécution du programme.

Les mini-ordinateurs sont appelés à un grand développement car leur possibilité d'automatisation de toutes sortes de processus s'augmente quotidiennement non seulement dans des applications de haute technicité mais aussi dans des applications domestiques, machines à laver, allumage et injection électronique des voitures, ainsi que dans des systèmes de transfert électronique de fonds (terminaux pour carte bancaire électronique, dite carte à mémoire).

Dans la plupart des cas d'application, une certaine vitesse est recherchée c'est pourquoi des boîtiers de mémoire morte externe et de mémoire vive externe sont utilisées dans les appareils définitifs.

Lors de la mise au point du miniordinateur, le boîtier de mémoire morte externe (ROM) qui contient le programme à exécuter est souvent remplacé par un boîtier de mémoire effaçable et programmable ce qui permet de changer le programme qu'il contient au fur et à mesure de la mise au point et ceci sans que le dit boîtier de mémoire effaçable et programmable (dite reprogrammable) devienne inutilisable.

De ce fait la mémoire morte reprogrammable devient en fait une mémoire vive puisque l'on peut effacer et réécrire son contenu; toutefois le prix des mémoires mortes reprogrammables est supérieur

au prix des mémoires vives, elles-mêmes plus chères que les mémoires mortes.

Dans l'état actuel de la technique les mémoires effaçables et programmables mais non volatiles assument les mêmes fonctions de lecture écriture qu'une mémoire vive; leurs différences essentielles sont: la vitesse, le prix et la volatilité. Une mémoire reprogrammable est plus chère qu'une mémoire vive et elle est à peu près  $10^5$  fois plus lente pour une écriture (10 milli-secondes contre 100 nano-secondes); la mémoire reprogrammable est permanente alors que la mémoire vive est volatile.

La différence de vitesse peut ne pas être gênante fonctionnellement pour certaines applications qui ne nécessitent pas une grande rapidité; par contre, lors d'une écriture dans la mémoire reprogrammable, le microprocesseur doit attendre la fin de l'opération d'écriture avant de continuer l'exécution du programme, cette attente (10 msec) est réalisée au moyen d'instructions qui doivent être chargées dans la mémoire interne du microprocesseur. De ce fait la broche de commande d'écriture du microprocesseur ne peut pas être utilisée car la durée du signal fourni (100 nano-secondes) est trop brève et ne peut être commandée pour une durée plus longue; il faut donc utiliser une des broches de commande de port mais alors une première difficulté apparaît; en effet la broche commandée de sélection mémoire de la mémoire reprogrammable va devoir être connectée à deux broches du microprocesseur à savoir la broche de commande de programme et la broche de commande de port; or il ne faut pas que ces deux broches de commandes se perturbent mutuellement.

En effet, d'une part la broche de commande de programme est aussi connectée à la broche commandée de sélection mémoire, d'autre part la broche de commande de port est souvent multiplexée ce qui signifie qu'ayant plusieurs utilisations elle est aussi connectée à d'autres boîtiers pour commander d'autres fonctions; ces autres fonctions ne doivent évidemment pas s'exécuter simultanément à la fonction d'écriture dans la mémoire reprogrammable.

Le but de l'invention est de réaliser un système de traitement de données comportant non plus deux mémoires physiques externes l'une vive et l'autre morte, assurant respectivement les fonctions logiques données, et programme, mais une seule mémoire physique reprogrammable supportant les deux fonctions logiques, sans que les signaux de com-

mandes émis par le microprocesseur se perturbent mutuellement.

Selon l'invention un système de traitement de données est particulièrement remarquable en ce que, ladite mémoire externe est une mémoire effaçable et programmable dont ladite broche de sélection de mémoire est reliée à une première sortie d'un système de portes logiques, lequel système de portes logiques ayant une première entrée connectée à ladite broche de commande de programme et une deuxième entrée connectée à ladite broche de commande de port, lequel système de portes logiques étant disposé d'une part pour transmettre à la première sortie un signal présent à sa première entrée lors d'une opération de lecture de la mémoire externe commandée par le microprocesseur et d'autre part pour transmettre à la première sortie le signal présent à sa deuxième entrée lors d'une opération d'écriture dans ladite mémoire externe et arrêter une propagation vers la première entrée dudit signal présent à sa deuxième entrée.

L'invention réalise son but en ce que la mémoire externe est effaçable et programmable et en ce que, grâce à l'emploi du système de portes logiques, le signal de commande émis à la broche de commande de port du microprocesseur ne perturbera pas la broche de commande de programme.

Une première réalisation préférentielle d'un système de traitement de données selon l'invention est particulièrement remarquable en ce que ladite mémoire externe est une mémoire électriquement effaçable et programmable.

Pour reprogrammer une mémoire électriquement effaçable et programmable (dite EEPROM) il suffit d'une source de tension débitant à peu près 20 Volt. De telles sources de tension sont facilement incorporables dans le système. De plus une mémoire de type EEPROM donne toute la souplesse désirée puisqu'elle n'est pas volatile comme le serait une RAM, et puisque le microprocesseur peut effacer électriquement le contenu d'une adresse déjà utilisée précédemment avant de réécrire à cette même adresse.

Une seconde réalisation préférentielle d'un système de traitement de données selon l'invention, dans lequel la mémoire

t. externe comporte une broche de commande de sortie est par-  
st ticulièrement remarquable en ce que ledit système de portes  
ne logiques comporte une deuxième sortie, laquelle deuxième  
n sortie est reliée à ladite première entrée pour transmettre  
s directement le signal présent à cette première entrée, ladite  
5 broche de commande de sortie de la mémoire externe étant  
connectée à ladite deuxième sortie.

L'on réalise ainsi un système de portes logiques particuliè-  
rement simple et efficace qui est applicable à une mémoire  
s externe qui comporte une broche de commande de sortie.  
10

Une troisième réalisation préférentielle d'un système de  
traitement de données selon l'invention dans lequel la broche  
de commande de port du microprocesseur est utilisable en mode  
multiplexé dans le temps à sa sortie est particulièrement  
15 remarquable en ce que ledit système de portes logiques est  
aussi disposé pour empêcher un signal présent sur sa première  
entrée de perturber ladite deuxième entrée. Dans le cas où  
la broche de commande de port du microprocesseur est multi-  
plexée dans le temps à sa sortie, c'est à dire utilisée pour  
20 commander à d'autres moments d'autres éléments périphériques  
du microprocesseur il est important que les signaux n'ayant  
pas de rapport avec l'opération d'écriture dans la mémoire  
externe ne soient pas perturbés par le signal présent à ladi-  
te première entrée.

25 Dans une autre réalisation préférentielle un système de  
traitement de données selon l'invention est particulièrement  
remarquable en ce que ledit système de portes logiques est  
constitué d'une porte logique ET. Des portes logiques ET étant  
disponibles à bon marché dans le commerce cette réalisation  
30 est dès lors très avantageuse.

Une autre réalisation préférentielle d'un système de  
traitement de données selon l'invention est particulièrement  
remarquable en ce que ledit système de portes logiques compor-  
te au moins deux diodes disposées en ET câblé. Cette réali-  
35 sation est techniquement facile à réaliser.

L'invention s'applique de préférence à un système de  
transfert électronique de fonds puisqu'elle permet de réaliser

à bon marché des terminaux pour carte bancaire.

Dans cette application la vitesse avec laquelle les données sont traitées n'est pas primordiale.

Il est connu que pour commander la validation d'une  
5 mémoire externe il y a deux techniques :

1. La technique "TEXAS (INSTRUMENTS)" qui ne comporte qu'une broche de commande de sélection de mémoire (CS chip select).

2. La technique "INTEL-ZILOG" qui comporte une broche de commande de sélection mémoire (CE chip enable) et une broche  
10 de commande de sortie (OE output enable).

Le système de traitement de données selon l'invention s'applique aux deux techniques.

La description du mode de fonctionnement qui suit concerne la technique "Intel-Zilog", mais ceci n'est pas une limitation  
15 étant entendu qu'il suffit de supprimer l'emploi, et par conséquent la connexion, de la commande de sortie (OE), pour appliquer l'invention à la technique Texas Instruments. La description du mode de fonctionnement du système sera donnée sous la forme d'une réalisation préférentielle avec une mé-  
20 moire externe du type EEPROM et en supposant qu'il n'y a qu'une seule chip physique pour la mémoire externe et donc pas de décodeur d'adresses qu'il suffirait toutefois d'insérer le cas échéant entre ladite première sortie et la broche de sélection de mémoire.

25 On pourrait aussi mettre en oeuvre l'invention avec une mémoire effaçable par rayons ultra-violet dite EPROM mais le fonctionnement serait très dégradé puisque l'on ne pourrait écrire qu'une seule fois à une adresse déterminée; en effet, l'effacement par rayonnement ultra-violet, que l'on pourrait  
30 commander par le microprocesseur est un effacement global de toute la mémoire, ce qui annéantirait le programme en cours d'exécution si l'on suppose qu'il n'y a qu'une seule puce mémoire.

La description qui suit fera bien comprendre avec deux  
35 exemples non limitatifs un mode de réalisation de l'invention.

La figure 1 représente, pour mémoire, l'architecture des éléments principaux d'un système classique de traitement de données.

La figure 2 représente une réalisation élémentaire d'un système de traitement de données conforme à l'invention.

Les figures 2a, 2b représentent des variantes du système de portes logiques.

5 La figure 3 représente une forme préférentielle d'une réalisation d'un système de traitement de données conforme à l'invention.

Sur la figure 1, l'homme de l'art reconnaîtra facilement l'architecture classique d'un système de traitement de données, appelé aussi mini-ordinateur, qui comporte :

- un BUS (4)
- un microprocesseur (1) par exemple un 8048 de chez INTEL.
- une mémoire vive (RAM) (2) par exemple une 2141 de chez INTEL.
- 15 - une mémoire morte (ROM) (3) par exemple une 3236 de chez INTEL.

La broche de commande de programme ( $\overline{\text{PSEN}}$ ) et une broche de commande de port ( $\text{Pxx}$ ) du microprocesseur (par exemple la porte P23) sont respectivement connectées directement aux

20 broches commandées de connexion mémoire ( $\overline{\text{OE}}$ ) et de sélection ( $\overline{\text{CE}}$ ) de chaque mémoire morte (ROM) et vive (RAM).

La broche de commande d'écriture ( $\overline{\text{WR}}$ ) du microprocesseur est connectée à la broche commandée d'écriture ( $\overline{\text{WE}}$ ) de la mémoire vive (RAM).

25 Sur les figures 2 et 3 il n'y a plus que deux puces physiques :

- un microprocesseur (1) par exemple un 8048 de chez INTEL.
- une mémoire effaçable et programmable, de préférence électriquement effaçable et programmable par exemple une EEPROM
- 30 2816 de chez INTEL comme représentée dans la figure 3.

La broche de commande ( $\overline{\text{WR}}$ ) du microprocesseur n'est plus utilisée car son signal de commande à une durée trop courte pour une mémoire EEPROM dans l'état actuel de la technique.

Dans la réalisation selon la figure 2 la broche de commande de programme ( $\overline{\text{PSEN}}$ ) du microprocesseur est directement

35 connectée à une première entrée  $E_1$  d'un système de portes logiques 6. Une seconde entrée  $E_2$  du système de portes logi-

ques 6 est connectée à une broche de commande de port Pxx, par exemple la porte P23 du microprocesseur.

Une première sortie  $S_1$  du système de portes logiques est connectée à la broche commandée de sélection de mémoire  $\overline{CE}$  de la mémoire effaçable et programmable 5.

Le système de portes logiques 6 comporte une diode ( $D_2$ ) qui empêche un signal présent sur la commande de port Pxx de perturber la commande de programme  $\overline{PSEN}$  au niveau du microprocesseur. Sur la figure 2a le système de portes logiques comporte une deuxième diode ( $D_1$ ) qui empêche un signal présent sur la première entrée  $E_1$  de perturber la deuxième entrée  $E_2$ . La première diode et la deuxième diode sont disposées en ET câblé. Ces diodes sont par exemple des BAX 12 de chez Radio-technique - Compelec.

Dans la figure 2b les deux diodes de la figure 2a sont remplacées par une porte logique ET qui assure la même fonction; par exemple une porte logique 7408 de chez Texas Instruments.

La sortie de la porte logique ET est connectée à ladite première sortie du système de portes logiques.

Dans la forme préférentielle, montrée dans la figure 3, la variante de la figure 2a a été retenue. La connexion de multiplexage vers d'autres périphériques de la broche de commande Pxx est représenté symboliquement par la flèche MP.

La mémoire externe (5) est une mémoire électriquement effaçable et programmable dite EEPROM qui possède une broche de commande de sortie ( $\overline{OE}$ ) reliée à une deuxième sortie  $S_2$  du système de portes logiques 6, elle-même reliée directement à la première entrée du système de portes logiques.

On remarquera la simplicité du dispositif conforme à l'invention eu égard aux économies ainsi réalisées dans le mini-ordinateur fut-ce au prix d'une relative lenteur lors de l'écriture dans la mémoire.

Le mode de fonctionnement du schéma de la figure 1 est conforme aux deux tables de vérités suivantes :



a) pour la mémoire ROM externe (3) :

| BR \ F                                    | $\overline{\text{PSEN}}$ | $\overline{\text{OE}}$ | $\overline{\text{CE}}$ |
|---|--------------------------|------------------------|------------------------|
| A   | L                        | L                      | L                      |
| B   | L                        | L                      | L                      |
| $\overline{\text{A}}.\overline{\text{B}}$ | H                        | H                      | H                      |

TABLE I

Sur cette table I sont représentées, d'une part les broches (BR) de commande du microprocesseur ( $\overline{\text{PSEN}}$ ) et les broches commandées de la mémoire ( $\overline{\text{OE}}$ ) et ( $\overline{\text{CE}}$ ), d'autre part les fonctions (F) commandées :

- soit la lecture (A) d'une instruction à exécuter (cycle Fetch)

- soit la lecture (B) d'une donnée nécessaire à l'exécution d'une instruction; les indications niveau bas (L) et niveau haut (H) indiquent l'état de la tension électrique des broches.

( $\overline{\text{A}}.\overline{\text{B}}$ ) indique que ni la fonction A, ni la fonction B ne sont actives, c'est à dire qu'il n'y a pas d'opération de lecture requise par le microprocesseur ( $\overline{\text{PSEN}}$ ) niveau haut (H) pour la mémoire morte. A la lecture de la table I l'on s'aperçoit que lorsque le microprocesseur fait appel ( $\overline{\text{PSEN}}$ ) niveau bas (L) à soit une instruction, soit une donnée emmagasinée dans la mémoire morte (3) les broches commandées de la mémoire morte (3) ( $\overline{\text{OE}}$ ) et ( $\overline{\text{CE}}$ ) sont maintenues à leur niveau actif (=niveau bas) permettant ainsi à cette mémoire morte de transmettre les informations requises par l'intermédiaire du bus (4).

b) pour la mémoire RAM externe (2) :

| BR \ F                                    | $\text{Pxx}$ | $\overline{\text{WR}}$ | $\overline{\text{WE}}$ | $\overline{\text{OE}}$ | $\overline{\text{CE}}$ |
|---|--------------|------------------------|------------------------|------------------------|------------------------|
| B   | L            | H                      | H                      | L                      | L                      |
| C   | L            | L                      | L                      | L                      | L                      |
| $\overline{\text{B}}.\overline{\text{C}}$ | H            | X                      | X                      | H                      | H                      |

TABLE II

Sur cette table II sont représentées d'une part les broches (BR) de commande du microprocesseur ( $\text{Pxx}$  et  $\overline{\text{WR}}$ ) et les broches commandées de la mémoire (2), ( $\overline{\text{WE}}$ ,  $\overline{\text{OE}}$ ,  $\overline{\text{CE}}$ ), d'autre part les fonctions (F) commandées soit la lecture (B) soit

l'écriture (C) d'une donnée dans la mémoire vive.

Les indications niveau bas (L) et niveau haut (H) indiquent l'état de la tension électrique qui active la fonction désirée; l'indication (X) signifie que la valeur de la tension est indifférente.

L'écriture  $\overline{B.C}$  indique que ni la fonction B ni la fonction C ne sont actives, c'est à dire qu'il n'y a pas d'appel de la part du microprocesseur à l'adresse de la mémoire (2), ce qui explique aussi que la valeur de la tension aux broches  $\overline{WR}$  et  $\overline{WE}$  peut être indifférente lors de la fonction  $\overline{B.C}$ .

c) Le mode de fonctionnement du schéma des figures 2 et 3, conforme à l'invention, s'effectue selon la table de vérité suivante (TABLE III) :

| BR                 | $\overline{PSEN}$ | Pxx | $\overline{OE}$<br>(fig.3) | $\overline{CE}$ | $\overline{PSEN} \cap Pxx$ |
|--------------------|-------------------|-----|----------------------------|-----------------|----------------------------|
| F                  |                   |     |                            |                 |                            |
| A                  | L                 | X   | L                          | L               | L                          |
| B                  | L                 | X   | L                          | L               | L                          |
| C                  | H                 | L   | H                          | L               | L                          |
| $\overline{A.B.C}$ | H                 | H   | H                          | H               | H                          |

TABLE III

Les broches et les fonctions sont les mêmes que pour les tables I et II.

Compte-tenu de ce que la broche  $\overline{PSEN}$  du microprocesseur est directement connectée à la broche  $\overline{OE}$  (Fig.3) de la mémoire EEPROM le signal de ces deux broches est identique, c'est à dire un niveau bas lors d'une opération de lecture (A,B) et un niveau haut lors d'une opération d'écriture (C) ou en absence d'opération. Le signal sur la broche  $\overline{CE}$  de la mémoire reprogrammable est obtenu en appliquant la fonction logique ET sur les signaux  $\overline{PSEN}$  et Pxx en provenance du microprocesseur comme indiqué dans la table III. Le signal présent sur la broche  $\overline{CE}$  de la mémoire reprogrammable a un niveau bas (niveau actif) pour chaque opération aussi bien de lecture que d'écriture dans la mémoire 5. L'indifférence de la broche Pxx à la valeur de la tension lors d'une opération de lecture

(AouB) s'explique par le fait que le signal  $\overline{\text{PSEN}}$  a toujours un niveau bas lors de cette opération de lecture.

Le dispositif n'étant pas spécifique à une ou plusieurs adresses, ou encore à une tranche de mémoire, toute la mémoire EEPROM est ainsi banalisée et disponible indifféremment en lecture et en écriture aussi bien pour les instructions que pour les données; en plus des avantages déjà explicités, il est possible de modifier, par une simple opération d'écriture (C), les instructions d'un programme au fur et à mesure de l'exécution; le programme devient auto-évolutif et cette possibilité accroît considérablement les utilisations possibles du mini-ordinateur.

Les systèmes de transfert électronique de fonds comportent en général un terminal dans lequel un client introduit sa carte bancaire. Ce terminal comporte un mini-ordinateur. Dans l'utilisation de ces terminaux pour carte bancaire la vitesse à laquelle les données sont traitées n'est pas primordiale. En effet, le client ne remarquera nullement une différence entre 10 MSEC et 100 nano-secondes nécessaire pour l'écriture dans la mémoire externe. Ceci est d'autant plus justifié si l'on compare le temps nécessaire au client pour introduire au moyen d'un clavier la somme d'argent désirée. Dès lors, un système de traitement de données selon l'invention trouve une parfaite application dans un système de transfert électronique de fonds qui peut ainsi être réalisé à bon marché.

30

35

REVENDEICATIONS:

1.       Système de traitement de données, comportant une mémoire externe et un microprocesseur à mémoire interne, le microprocesseur et la mémoire externe étant connectés à un bus, ledit microprocesseur comportant une broche de commande de programme et au moins une broche de commande de port, ladite mémoire externe comportant une broche de sélection de mémoire, caractérisé en ce que ladite mémoire externe est une mémoire effaçable et programmable dont ladite broche de sélection de mémoire est reliée à une première sortie d'un système de portes logiques, lequel système de portes logiques ayant une première entrée connectée à ladite broche de commande de programme et une deuxième entrée connectée à ladite broche de commande de port, lequel système de portes logiques étant disposé d'une part pour transmettre à sa première sortie un signal présent à sa première entrée lors d'une opération de lecture de la mémoire externe commandée par le microprocesseur et d'autre part pour transmettre à sa première sortie le signal présent à sa deuxième entrée lors d'une opération d'écriture commandée par le microprocesseur pour ladite mémoire et arrêter une propagation vers la première entrée dudit signal présent à sa deuxième entrée.
2.       Système de traitement de données selon la première revendication, caractérisé en ce que ladite mémoire externe est une mémoire électriquement effaçable et programmable.
3.       Système de traitement de données selon la revendication 1 ou 2, dont la mémoire externe comporte une broche de commande de sortie, caractérisé en ce que ledit système de portes logiques comporte une deuxième sortie, laquelle deuxième sortie est reliée à ladite première entrée pour transmettre directement le signal présent à cette première entrée, ladite broche de commande de sortie de la mémoire externe étant connectée à ladite deuxième sortie.
4.       Système de traitement de données selon la revendication 1, 2 ou 3 dont ladite broche de commande de port est utilisable en mode multiplexé dans le temps à la sortie dudit microprocesseur caractérisé en ce que ledit système de portes

logiques est aussi disposé pour empêcher un signal présent sur sa première entrée de perturber ladite deuxième entrée.

5. Système de traitement de données selon l'une quelconque des précédentes revendications, caractérisé en ce que ledit système de portes logiques est constitué d'une porte logique ET.

6. Système de traitement de données selon la revendication 4, caractérisé en ce que ledit système de portes logiques comporte au moins deux diodes disposées en ET câblé.

10 7. Système de transfert électronique de fonds équipé d'un système de traitement de données selon l'une quelconque des revendications précédentes.

15

20

25

30

35

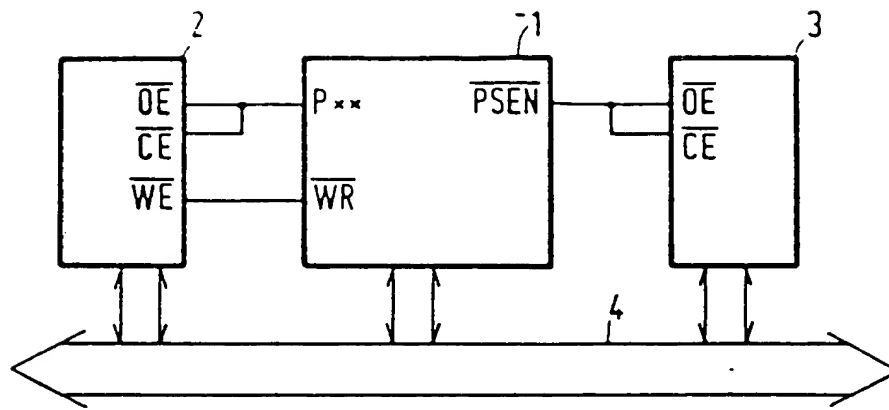


FIG. 1

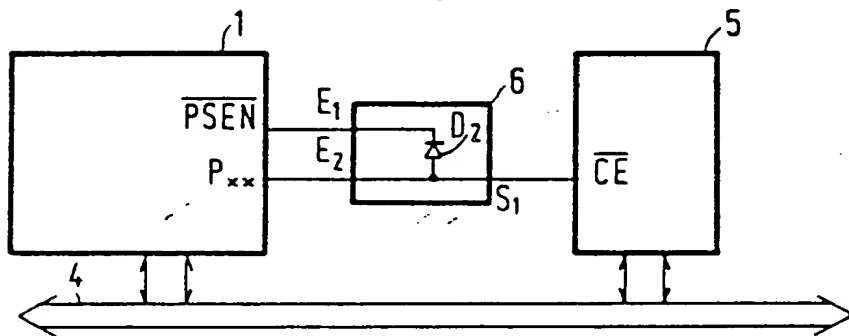


FIG. 2

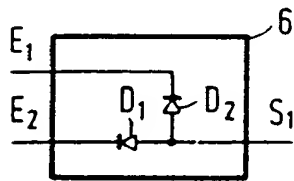


FIG. 2a

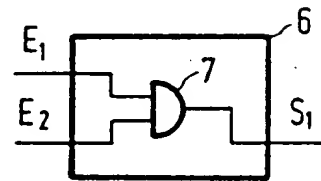


FIG. 2b

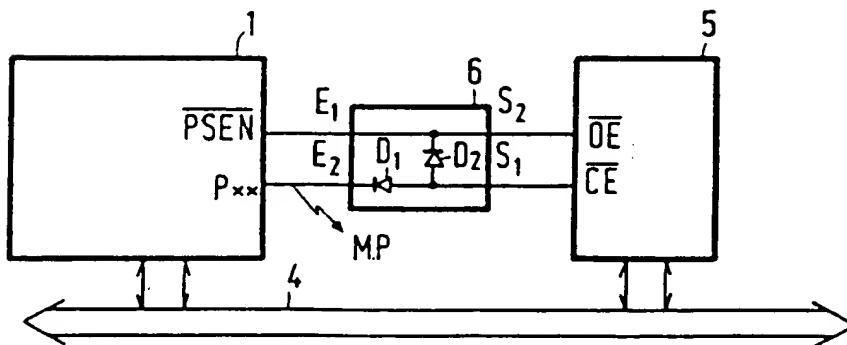


FIG. 3



Office européen  
des brevets

# RAPPORT DE RECHERCHE EUROPEENNE

0081873

Numéro de la demande

EP 82 20 1515

| DOCUMENTS CONSIDERES COMME PERTINENTS   |  |   | Page 2                                      |
|---|--|---|---|
| Catégorie   | Citation du document avec indication, en cas de besoin, des parties pertinentes  | Revendication concernée   | CLASSEMENT DE LA DEMANDE (Int. Cl. 3)       |
| A   | ELECTRONIQUE INDUSTRIELLE, no. 12, 15 mars 1981, pages 77-80, Paris, FR.<br>G. JUTON: "Le micro-ordinateur TMS 9995" * Page 77, colonne de gauche, dernier alinéa - colonne de droite, ligne 2 * | 1,2   |   |
| A   | FR-A-2 401 459 (CIT-HB)<br>* Page 2, ligne 38 - page 3, ligne 26 *   | 1,2,7   |   |
| P   | WIRELESS WORLD, vol. 88, no. 1557, juin 1982, page 61, Sheepen Place, Olchester, G.B. Y.C. CHEAH: "Minimum component-count microprocessor" * En entier *   | 1,2,5   |   |
|   |  |   | DOMAINES TECHNIQUES RECHERCHES (Int. Cl. 3) |
| Le présent rapport de recherche a été établi pour toutes les revendications   |  |   |   |
| Lieu de la recherche<br>LA HAYE   |  | Date d'achèvement de la recherche<br>21-03-1983   | Examineur<br>THOMAS K.                      |
| <b>CATEGORIE DES DOCUMENTS CITES</b>  |  |   |   |
| X : particulièrement pertinent à lui seul<br>Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie<br>A : arrière-plan technologique<br>O : divulgation non-écrite<br>P : document intercalaire |  | T : théorie ou principe à la base de l'invention<br>E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date<br>D : cité dans la demande<br>L : cité pour d'autres raisons<br>& : membre de la même famille, document correspondant |   |



Office européen  
des brevets

# RAPPORT DE RECHERCHE EUROPEENNE

0081873  
Numéro de la demande

EP 82 20 1515

| DOCUMENTS CONSIDERES COMME PERTINENTS  |   |   |   |
|--|---|---|---|
| Catégorie  | Citation du document avec indication, en cas de besoin, des parties pertinentes   | Revendication concernée   | CLASSEMENT DE LA DEMANDE (Int. Cl. 3)   |
| Y  | COMPUTER DESIGN, vol. 20, no. 1, janvier 1981, pages 182,184, Winchester, USA<br>"Byte erasable 16k-Bit EEPROM offers 250-ns access time" * Page 182, colonne de gauche, paragraphe 4 *   | 1-3,5   | G 06 F 15/06<br>G 11 C 17/00  |
| Y  | ---<br>ELECTRONIC DESIGN, vol. 29, no. 20, septembre 1981, pages 171-177, Waseca, USA<br>"X-cell architecture packs 128 kbits onto EPROM chip" * Page 172, colonne de gauche, lignes 1-4; colonne de droite, lignes 35-43 *     | 1-3,5   |   |
| Y  | ---<br>ELECTRONIC DESIGN, vol. 28, no. 24, novembre 1980, pages 247-250, Waseca, USA<br>G. DESROCHERS: "EE PROM eclipses other reprogrammable memories" * Page 248, colonne de gauche, alinéa 3 - colonne de droite, alinéa 4 * | 1-3,5   | DOMAINES TECHNIQUES RECHERCHES (Int. Cl. 3)<br><br>G 06 F<br>G 11 C<br>G 06 K |
| Y  | ---<br>COMPUTER, vol. 12, no. 2, février 1979, pages 22-31, New York, USA<br>J.F. WAKERLY: "The intel MCS-48 microcomputer family: A critique" * Page 28, colonne de droite; partie inférieure, lignes 5-17 *<br>--- -/-        | 1-3,5   |   |
| Le présent rapport de recherche a été établi pour toutes les revendications  |   |   |   |
| Lieu de la recherche<br>LA HAYE  |   | Date d'achèvement de la recherche<br>21-03-1983   | Examineur<br>THOMAS K.  |
| <b>CATEGORIE DES DOCUMENTS CITES</b>   |   |   |   |
| X : particulièrement pertinent à lui seul<br>Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie<br>A : arrière-plan technologique<br>D : divulgation non-écrite<br>E : document prioritaire |   | T : théorie ou principe à la base de l'invention<br>E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date<br>D : cité dans la demande<br>L : cité pour d'autres raisons<br><br>& : membre de la même famille, document correspondant |   |



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**